

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-284773

(43)Date of publication of application : 13.10.2000

(51)Int.Cl.

G09G 5/06
G06T 5/00
G09G 3/20
G09G 5/00
G09G 5/36

(21)Application number : 11-151704

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 31.05.1999

(72)Inventor : SATO HIROAKI
SHIODA TETSUO
MIYAI HIROSHI

(30)Priority

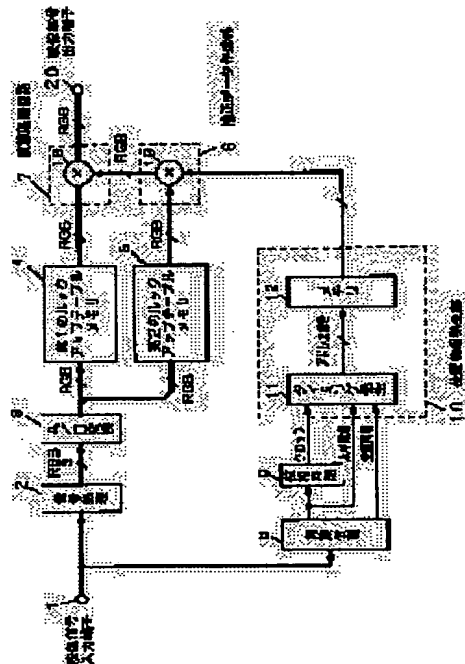
Priority number : 11021907 Priority date : 29.01.1999 Priority country : JP

(54) PICTURE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To simultaneously conduct both gradation compensation and the compensation for nonuniformity on a display screen for all gradations in a picture display device in which the gradation compensation is conducted by a look up table memory.

SOLUTION: Compensation data for every gradation are beforehand stored in a second look up table 5. By address inputting video signals, uniform compensation data, which correspond to the inputted video signals, are read. Moreover, positions on a screen are segmented in a grid and the compensation data correspond to a region are beforehand stored in a memory 12. Then, by taking out horizontal synchronous signals, vertical synchronous signals and horizontal synchronous clocks from the inputted video signals and inputting these signals into a timing generating circuit 11, uniformity compensation data corresponding to a display screen are read. A compensation data generating section 6 generates the compensation data from these data and nonuniformity compensation of the display screen is made possible in all gradations by conducting the compensation of these data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-284773

(P2000-284773A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int. Cl. ⁷	識別記号	F I	キーワード (参考)
G 0 9 G 5/06		G 0 9 G 5/06	5 B 0 5 7
G 0 6 T 5/00		3/20	6 4 1 Q 5 C 0 8 0
G 0 9 G 3/20	6 4 1	G 0 6 F 15/68	3 1 0 A 5 C 0 8 2
5/00		G 0 9 G 5/00	5 2 0 A
5/36		5/36	5 2 0 A
審査請求 未請求 請求項の数 6 O L (全 17 頁)			

(21) 出願番号 特願平11-151704

(22) 出願日 平成11年5月31日 (1999. 5. 31)

(31) 優先権主張番号 特願平11-21907

(32) 優先日 平成11年1月29日 (1999. 1. 29)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 佐藤 宏明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 塩田 哲郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

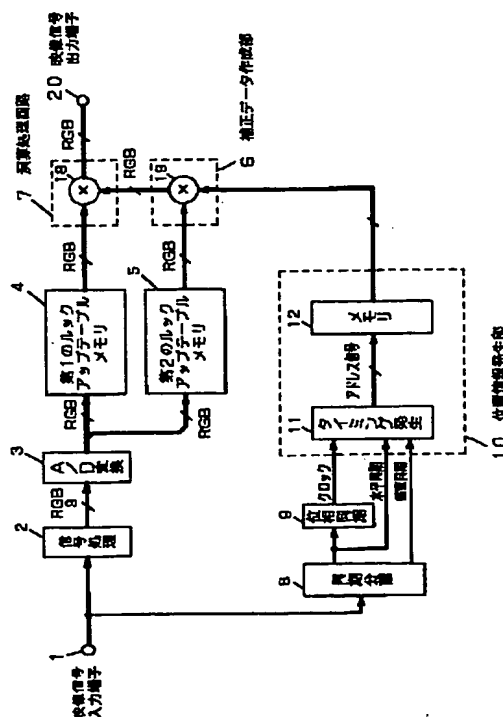
最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 ルックアップテーブルメモリ1により階調補正を行う画像表示装置において、階調補正と全階調での表示画面上での不均一性の補正の両方を同時に行うことを目的とする。

【解決手段】 第二のルックアップテーブル5に予め階調毎の補正データを格納し、映像信号をアドレス入力することにより入力映像信号に対応した均一性補正データを読み出し、また画面上の位置を基盤目状に区切り、その領域に対応した補正データをメモリ12に予め格納しておき、入力映像信号から水平同期信号、垂直同期信号、水平同期クロックを取り出し、タイミング発生回路11に入力することにより、表示画面に対応する均一性補正データを読み出し、これらのデータから補正データ作成部6で補正データを作成し、このデータで映像信号を補正することにより、全階調で表示画面上での不均一性の補正を可能とする。



(2)

1

【特許請求の範囲】

【請求項1】 入力映像信号のガンマカーブを補正し、表示画像の階調補正を行う第一のルックアップテーブルメモリと、階調毎に画面上の均一性補正データを発生する第二のルックアップテーブルメモリと、画面位置に対応した均一性補正データを発生する位置情報発生部と、前記第二のルックアップテーブルメモリと前記位置情報発生部からの階調および位置による均一性補正データを合成する補正データ作成部と、前記第一のルックアップテーブルメモリから読み出された階調補正後の映像信号を前記補正データ作成部より出力される均一性補正データにより補正を行う演算処理回路を備え、表示画像の均一性補正を全階調にわたり行うことを特徴とする画像表示装置。

【請求項2】 表示映像の水平方向の均一性補正データを保持する第一のメモリと、垂直方向の均一性補正データを保持する第二のメモリと、前記メモリに入力するアドレスを発生するタイミング発生回路と、前記第一のメモリの出力と前記第二のメモリの出力から均一性補正データの位置情報を算出する演算部により位置情報発生部を構成することを特徴とする請求項1記載の画像表示装置。

【請求項3】 表示映像の水平方向の均一性補正データを保持する第一のメモリと、垂直方向の均一性補正データを保持する第二のメモリと、前記メモリに入力するアドレスを発生するタイミング発生回路と、前記第一のメモリからの出力を平滑化するローパスフィルタと、前記ローパスフィルタの出力と前記第二のメモリの出力から均一性補正データの位置情報を算出する演算部により位置情報発生部を構成することを特徴とする請求項1記載の画像表示装置。

【請求項4】 映像の水平及び垂直位置に相当するアドレスを発生するタイミング発生回路、前記水平及び垂直アドレス信号と前記水平及び垂直位置設定部の設定値を演算する関数演算部、前記関数演算部の出力から均一性補正データの位置情報を算出する演算部により位置情報発生部を構成し、均一性補正位置を設定する補正位置設定部を補正位置設定入力手段、CPU、水平及び垂直位置設定部により構成することを特徴とする請求項1記載の画像表示装置。

【請求項5】 階調毎に画面上の均一性補正データを発生する第二のルックアップテーブルメモリの後段に、均一性補正データを補間演算部及び加算演算部により構成される補正量補間演算部を設けることを特徴とする請求項1記載の画像表示装置。

【請求項6】 映像の水平及び垂直位置に相当するアドレスを発生するタイミング発生回路、前記水平及び垂直アドレス信号と前記水平及び垂直位置設定部の設定値を演算する関数演算部、前記関数演算部の出力から均一性補正データの位置情報を算出する演算部により位置情報

2

発生部を構成し、均一性補正位置を設定する補正位置設定部を補正位置設定入力手段、CPU、複数の水平及び垂直位置設定部、水平及び垂直位置設定切替手段により構成し、均一性補正を行う水平位置設定を垂直アドレスタイミング、垂直位置設定を水平アドレスタイミングで切り替えることを特徴とする請求項1記載の画像表示装置。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】本発明は、表示画面上の輝度、色度の均一性を改善することのできる画像表示装置に関するものである。

【0002】

【従来の技術】近年、従来のCRT方式の直視テレビに加え、CRTプロジェクター、液晶プロジェクター、プラズマディスプレイ等の様々な表示デバイスが表示画面の大型化に伴い、市場に参入している。これらの画像表示装置において、用途に応じて高度の輝度、色度の画面均一性が求められている。ここでは、液晶プロジェクターを例に説明する。表示領域の大型化に伴い、装置を構成する光源、光学系および画像表示素子である液晶の特性のばらつきが原因となる画面上の輝度ムラ、色ムラの均一性不良が問題となっており、前記要因の重ね合わせによる均一性不良を補正する回路を画像表示装置に組み込むことが必要となっており、例えば特開昭61-243495がその一例としてあげられる。

【0003】以下にその従来例を説明する。

【0004】従来例の構成を図4に示す。まず画像表示装置に一定レベルの映像信号を入力し、スクリーンにこの映像を表示する。次に表示画面を適当に分割した領域毎にその輝度レベルを撮像カメラで測定し、目標としている輝度レベルとの直流差分データを輝度補正データとしてメモリ64に記録する。補正データが記録されたメモリ64は画像表示装置の輝度補正回路に組み込まれる。この補正データの読み出しは、入力信号の水平、垂直同期信号から輝度測定時に分割された表示領域に対応するメモリのアドレスを算出することにより行われ、この補正データをD-A変換回路62でアナログ値に変換し、このアナログ補正値を加算回路61を用いて入力映像信号に加算した映像信号で画像表示装置の例えば液晶を駆動することにより表示画面上の均一性不良を補正している。

【0005】

【発明が解決しようとする課題】しかしながら、補正データの基となる輝度測定がある一定の輝度レベルで行われているため、低輝度（黒レベル近辺）の映像信号入力から高輝度（白レベル近辺）の映像信号入力までの全領域に渡り輝度および色ムラが補正されているとはかからずとも言えない。

50 【0006】

(3)

3

【課題を解決するための手段】前記課題を解決するために、本発明の第一の画像表示装置は、入力映像信号のガンマカーブを補正し、表示画像の階調補正を行う第一のルックアップテーブルメモリと、階調毎に画面上の均一性補正データを発生する第二のルックアップテーブルメモリと、画面位置に対応した均一性補正データを発生する位置情報発生部と、前記第二のルックアップテーブルメモリと前記位置情報発生部からの階調および位置による均一性補正データを合成する補正データ作成部と、前記第一のルックアップテーブルメモリから読み出された階調補正後の映像信号を前記補正データ作成部より出力される均一性補正データにより補正を行う演算処理回路を備え、表示画像の均一性補正を全階調にわた

り行うものである。
 【0007】また前記課題を解決するために、本発明の第二の画像表示装置は、表示映像の水平方向の均一性補正データを保持する第一のメモリと、垂直方向の均一性補正データを保持する第二のメモリと、前記第一のメモリからの出力と前記第二のメモリからの出力から均一性補正データの位置情報を算出する演算部により位置情報発生部を構成するものである。

【0008】また前記課題を解決するために、本発明の第三の画像表示装置は、表示映像の水平方向の均一性補正データを保持する第一のメモリと、垂直方向の均一性補正データを保持する第二のメモリと、前記メモリに入力するアドレスを発生するタイミング発生回路と、前記第一のメモリからの出力を平滑化するローパスフィルタと、前記ローパスフィルタの出力と前記第二のメモリからの出力から均一性補正データの位置情報を算出する演算部により位置情報発生部を構成するものである。

【0009】また前記課題を解決するために、本発明の第四の画像表示装置は、映像の水平及び垂直位置に相当するアドレスを発生するタイミング発生回路、前記水平及び垂直アドレス信号と前記水平及び垂直位置設定部の設定値を演算する関数演算部、前記関数演算部の出力から均一性補正データの位置情報を算出する演算部により位置情報発生部を構成し、均一性補正位置を設定する補正位置設定部を補正位置設定入力手段、CPU、水平及び垂直位置設定部により構成するものである。

【0010】また前記課題を解決するために、本発明の第五の画像表示装置は、階調毎に画面上の均一性補正データを発生する第二のルックアップテーブルメモリの後段に、均一性補正データを補間演算部及び加算演算部により構成される補正量補間演算部を設けるものである。

【0011】また前記課題を解決するために、本発明の第六の画像表示装置は、映像の水平及び垂直位置に相当するアドレスを発生するタイミング発生回路、前記水平及び垂直アドレス信号と前記水平及び垂直位置設定部の

4

設定値を演算する関数演算部、前記関数演算部の出力から均一性補正データの位置情報を算出する演算部により位置情報発生部を構成し、均一性補正位置を設定する補正位置設定部を補正位置設定入力手段、CPU、複数の水平及び垂直位置設定部、水平及び垂直位置設定切替手段により構成し、均一性補正を行う水平位置設定を垂直アドレスタイミング、垂直位置設定を水平アドレスタイミングで切り替えるものである。

【0012】本発明によれば、入力映像信号の階調毎に画像表示位置に応じた均一性の補正が可能であり、映像信号の階調補正と同時に、低輝度（黒レベル近辺）の映像信号入力から高輝度（白レベル近辺）の映像信号入力までの全領域に渡り輝度および色ムラの無い画像表示を可能にする。

【0013】また均一性補正データの位置情報を発生する位置情報発生部をメモリとローパスフィルタを組み合わせる構成によりメモリ容量の削減を可能とし、コストダウンとなる。さらに階調補正後の映像信号と補正データの演算を行う演算処理回路を乗算器と加算器を組み合わせる構成により、補正の精度の向上を可能とする。

【0014】また均一性補正データの位置情報を発生する位置情報発生部を関数演算回路により行うことにより、メモリ削減を可能としコストダウンとなると共に、均一性補正位置を設定する補正位置設定部により、補正位置の簡単な設定による均一性調整を可能とするものである。

【0015】また前記第二のルックアップテーブルメモリの後段での補間演算により、メモリの削減を行うと共に、階調方向の均一性補正調整を簡単に行うことを可能とする。

【0016】さらに第六の画像表示装置の構成により、複数点の均一性補正を可能とするものである。

【0017】

【発明の実施の形態】第1の発明は、入力映像信号のガンマカーブを補正し、表示画像の階調補正を行う第一のルックアップテーブルメモリと、階調毎に画面上の均一性補正データを発生する第二のルックアップテーブルメモリと、画面位置に対応した均一性補正データを発生する位置情報発生部と、前記第二のルックアップテーブルメモリと前記位置情報発生部からの階調および位置による均一性補正データを合成する補正データ作成部と、前記第一のルックアップテーブルメモリから読み出された階調補正後の映像信号を前記補正データ作成部より出力される均一性補正データにより補正を行う演算処理回路を備え、表示画像の均一性補正を全階調にわた

(4)

5

力から高輝度（白レベル近辺）の映像信号入力までの全領域に渡り輝度および色ムラの無い画像表示を可能にするという作用を有する。

【0018】第2の発明は、表示映像の水平方向の均一性補正データを保持する第一のメモリーと、垂直方向の均一性補正データを保持する第二のメモリーと、前記メモリーに入力するアドレスを発生するタイミング発生回路と、前記第一のメモリーからの出力と前記第二のメモリーからの出力から均一性補正データの位置情報を算出する演算部により位置情報発生部を構成することを特徴とする請求項1記載の画像表示装置であり、本発明は上記した構成により、メモリー容量の削減を可能とし、高精度と低価格を両立することを可能とするような作用を有する。

【0019】第3の発明は、表示映像の水平方向の均一性補正データを保持する第一のメモリーと、垂直方向の均一性補正データを保持する第二のメモリーと、前記メモリーに入力するアドレスを発生するタイミング発生回路と、前記第一のメモリーからの出力を平滑化するローパスフィルターと、前記ローパスフィルターの出力と前記第二のメモリーからの出力から均一性補正データの位置情報を算出する演算部により位置情報発生部を構成することを特徴とする請求項1記載の画像表示装置であり、本発明は上記した構成により、メモリー容量の削減を可能とし、安価に構成することを可能とするような作用を有する。

【0020】第4の発明は、均一性補正位置を設定する補正位置設定部を補正位置設定入力手段、CPU、水平及び垂直位置設定部により構成し、映像の水平及び垂直位置に相当するアドレスを発生するタイミング発生回路、前記水平及び垂直アドレス信号と前記水平及び垂直位置設定部の設定値を演算する関数演算部、前記関数演算部の出力から均一性補正データの位置情報を算出する演算部により位置情報発生部を構成することを特徴とする請求項1記載の画像表示装置であり、メモリー容量の削減によるコスト低減、補正位置の簡単な設定による均一性調整を可能とするものである。

【0021】第5の発明は、階調毎に画面上の均一性補正データを発生する第二のルックアップテーブルメモリーの後段に、均一性補正データを補間演算部及び加算演算部により構成される補正量補間演算部を設けることを特徴とする請求項1記載の画像表示装置であり、補間演算によるメモリの削減を行うと共に、階調方向の均一性補正調整を簡単に行う方法を示すものである。

【0022】第6の発明は、均一性補正位置を設定する補正位置設定部を補正位置設定入力手段、CPU、複数の水平及び垂直位置設定部、水平及び垂直位置設定切替手段により構成し、映像の水平及び垂直位置に相当するアドレスを発生するタイミング発生回路、前記水平及び垂直アドレス信号と前記水平及び垂直位置設定部の設定

6

値を演算する関数演算部、前記関数演算部の出力から均一性補正データの位置情報を算出する演算部により位置情報発生部を構成することを特徴とする請求項1記載の画像表示装置であり、均一性補正を行う水平位置設定を垂直アドレスタイミング、垂直位置設定を水平アドレスタイミングでそれぞれ切り替えることにより複数点の均一性補正を可能とするものである。

【0023】以下、本発明の実施の形態について、図面を用いて説明する。

10 【0024】（実施の形態1）図1は第一の実施の形態における画像表示装置の構成を示すブロック図である。図1において映像入力端子1より入力された映像信号は信号処理回路2によってR、G、Bの原色映像信号に変換される。一方入力映像信号は同期分離回路8に入力され、水平同期信号と垂直同期信号に分離して出力される。水平同期信号はさらに位相同期回路9に入力され、入力映像信号の水平同期信号に位相同期した水平同期クロックを発生させる。

20 【0025】位置情報発生部10はタイミング発生回路11とメモリー12から構成されるが、前記水平同期信号、垂直同期信号、水平同期クロックをタイミング発生回路11に入力することにより表示領域を基盤目状に分割したブロックに対応したアドレスを発生させる。メモリー12には表示領域を水平、垂直に基盤目状に分割した各々の領域に対応するR、G、Bの補正データがあらかじめ格納されている。

30 【0026】従って前記タイミング発生回路11からこの分割領域に対応するアドレスをメモリー12に入力することにより上記各分割領域に対応するR、G、Bの補正データがそれぞれ読み出される。読み出された補正データは補正データ作成部6に入力される。

【0027】また前記信号処理回路2から出力されるR、G、Bの映像信号はA-D変換回路3によりデジタル化され階調補正用の第一のルックアップテーブルメモリー4と均一性補正用の第二のルックアップテーブルメモリー5に各々入力される。第一のルックアップテーブルメモリー4には、あらかじめ色彩色差計でR、G、Bのガンマカーブ、色度を取り込みこのデータから階調補正データ演算処理することにより、入力映像信号に対して伝送ガンマカーブや表示デバイスのガンマカーブを補正し、所望の階調表現を可能とするようなデータを格納しておく。これにより、階調補正された映像信号が演算処理回路7に出力される。また第二のルックアップテーブル5には、あらかじめ色彩色差計でR、G、Bの階調毎の表示画面上の均一性ムラのデータを取りこみ、これらのデータから均一性ムラを階調毎に逆補正するようなデータを算出し格納しておく。これにより、入力映像信号のレベルに応じた均一性補正データを発生し、このデータが前記補正データ作成部6に入力される。

50 【0028】補正データ作成部6では、前記タイミング

(5)

7

発生回路11とメモリー12から構成される位置情報発生部10から出力される表示画面上の場所の均一性ムラに対応した補正データと、前記第二のルックアップテーブルメモリー5から出力される映像信号のレベルによる均一性ムラに対応した補正データの合成を第一の乗算器19を用いることにより行い、入力信号のレベルに応じて表示画面の分割領域毎の補正量を制御することにより、画素毎のガンマカーブのばらつきによる均一性ムラを大幅に低減することが可能となる。上記では補正データ作成部6は乗算器を用いているが、加算器でもよい。

【0029】このように演算処理された補正データは演算処理回路7に入力され、映像信号と乗算を第二の乗算器18で行うことにより、前記第一のルックアップメモリー4で階調補正された映像信号の均一性補正を行い、この出力信号は映像信号出力端子20から出力される。この出力される映像信号は、階調補正と階調に対応した表示画面上の均一性の補正の両方がなされたものとなる。上記では演算処理回路7に乗算器を用いているが、加算器を用いてもよい。

【0030】（実施の形態2）図2は第二の実施の形態における画像表示装置の構成を示すブロック図である。なお第一の実施の形態を示す図1と同一要素については同一符号を付し、同一の動作をするものとする。

【0031】図2において映像入力端子1より入力された映像信号は信号処理回路2によってR、G、Bの原色映像信号に変換される。一方入力映像信号から水平同期信号、垂直同期信号と取り出し、水平同期信号に位相同期した水平同期クロックを発生させる。

【0032】位置情報発生部10は、タイミング発生回路11、水平方向の補正データを格納する第一のメモリー13、垂直方向の補正データを格納する第二のメモリー14、演算部16から構成される。

【0033】前記垂直同期信号、水平同期信号、水平同期信号に同期した水平同期クロックをタイミング発生回路11に入力することにより表示領域を水平、垂直に基盤目状に分割したブロックに対応したアドレスを発生させる。

【0034】従って前記タイミング発生回路11からこの分割領域に対応するアドレスを水平方向の補正データ第一のメモリー13と第二のメモリー14に入力することにより上記各分割領域に対応するR、G、Bの補正データがそれぞれ読み出される。さらに第一のメモリー13で読み出された水平方向の補正データと前記第二のメモリー14から読み出された垂直方向の補正データはおのおの前記演算部16に入力され水平方向の補正データと垂直方向の補正データは第三の乗算器17で乗算され補正データ作成部6に出力される。上記では演算部16に乗算器を用いているが、加算器を用いてもよい。

【0035】均一性の補正には解像度に応じて、充分なデータ量が求められメモリーの量が増大しコストアップ

8

につながるという問題がある。水平方向の補正データと垂直方向の補正データを別々のメモリーから読み出し、演算することにより、メモリー量の削減が可能となり、性能を保ったままコストダウンが可能となる。

【0036】また前記信号処理回路2から出力されるR、G、Bの映像信号はデジタル化され階調補正用の第一のルックアップテーブルメモリー4と均一性補正用の第二のルックアップテーブルメモリー5に各々入力される。第一のルックアップテーブルにより階調補正された映像信号が演算処理回路7に出力される。また第二のルックアップテーブル5には、あらかじめ色彩色差計でR、G、Bの階調毎の表示画面上の均一性ムラのデータを取りこみ、これらのデータから均一性ムラを階調毎に逆補正するようなデータを算出し格納しておく。これにより、入力映像信号のレベルに応じた均一性補正データを発生し、このデータが前記補正データ作成部6に入力される。

【0037】補正データ作成部6では、位置情報発生部10から出力される表示画面上の場所の均一性ムラに対応した補正データと、前記第二のルックアップテーブルメモリー5から出力される映像信号のレベルによる均一性ムラに対応した補正データの合成を第一の乗算器19を用いることにより行い、入力信号のレベルに応じて表示画面の分割領域毎の補正量を制御することにより、画素毎のガンマカーブのばらつきによる均一性ムラを大幅に低減することが可能となる。上記では補正データ作成部は乗算器を用いているが、加算器でもよい。

【0038】このように演算処理された補正データは演算処理回路7に入力され、映像信号と乗算を第二の乗算器18で行うことにより、前記第一のルックアップメモリー4で階調補正された映像信号の均一性補正を行い、この出力信号は映像信号出力端子20から出力される。この出力される映像信号は、階調補正と階調に対応した表示画面上の均一性の補正の両方がなされたものとなる。上記では演算処理回路7に乗算器を用いているが、加算器を用いてもよい。

【0039】（実施の形態3）図3は第三の実施の形態における画像表示装置の構成を示すブロック図である。なお第一の実施の形態を示す図1と同一要素については同一符号を付し、同一の動作をするものとする。

【0040】図3において映像入力端子1より入力された映像信号は信号処理回路2によってR、G、Bの原色映像信号に変換される。一方入力映像信号から水平同期信号、垂直同期信号と取り出し、水平同期信号に位相同期した水平同期クロックを発生させる。

【0041】位置情報発生部10は、タイミング発生回路11、水平方向の補正データを格納する第一のメモリー13、ローパスフィルター15、垂直方向の補正データを格納する第二のメモリー14、演算部16から構成される。

(6)

9

【0042】前記垂直同期信号、水平同期信号、水平同期信号に同期した水平同期クロックをタイミング発生回路11に入力することにより表示領域を水平、垂直に基盤目状に分割したブロックに対応したアドレスを発生させる。

【0043】従って前記タイミング発生回路11からこの分割領域に対応するアドレスを水平方向の補正データ第一のメモリー13と第二のメモリー14に入力することにより上記各分割領域に対応するR、G、Bの補正データがそれぞれ読み出される。さらに第一のメモリー13で読み出された水平方向の補正データはローパスフィルター15に入力され、演算部16に入力される。また前記第二のメモリー14から読み出された垂直方向の補正データも前記演算部16に入力され水平方向の補正データと垂直方向の補正データは第三の乗算器17で乗算され補正データ作成部6に出力される。上記では演算部16に乗算器を用いているが、加算器を用いてもよい。

【0044】均一性の補正には解像度に応じて、十分なデータ量が求められメモリーの量が増大しコストアップにつながるという問題がある。しかし水平方向だけでも簡単なローパスフィルターを挿入した垂直方向の補正データと水平方向の補正データを別々のメモリーから読み出し、演算することにより、メモリー量の削減が可能となり、コストダウンが可能となる。

【0045】また前記信号処理回路2から出力されるR、G、Bの映像信号はデジタル化され階調補正用の第一のルックアップテーブルメモリー4と均一性補正用の第二のルックアップテーブルメモリー5に各々入力される。第一のルックアップテーブルにより階調補正された映像信号が演算処理回路7に出力される。また第二のルックアップテーブル5には、あらかじめ色彩色差計でR、G、Bの階調毎の表示画面上の均一性ムラのデータを取りこみ、これらのデータから均一性ムラを階調毎に逆補正するようなデータを算出し格納しておく。これにより、入力映像信号のレベルに応じた均一性補正データを発生し、このデータが前記補正データ作成部6に入力される。

【0046】補正データ作成部6では、位置情報発生部10から出力される表示画面上の場所の均一性ムラに対応した補正データと、前記第二のルックアップテーブルメモリー5から出力される映像信号のレベルによる均一性ムラに対応した補正データの合成を第一の乗算器19を用いることにより行い、入力信号のレベルに応じて表示画面の分割領域毎の補正量を制御することにより、画素毎のガンマカーブのばらつきによる均一性ムラを大幅に低減することが可能となる。上記では補正データ作成部は乗算器を用いているが、加算器でもよい。

【0047】このように演算処理された補正データは演算処理回路7に出力され、映像信号と乗算を第二の乗算器18で行うことにより、前記第一のルックアップメモ

10

リー4で階調補正された映像信号の均一性補正を行い、この出力信号は映像信号出力端子20から出力される。この出力される映像信号は、階調補正と階調に対応した表示画面上の均一性の補正との両方がなされたものとなる。上記では演算処理回路7に乗算器を用いているが、加算器を用いてもよい。

【0048】（実施の形態4）図4は第四の実施の形態における画像表示装置の構成を示すブロック図である。なお第一の実施の形態を示す図1と同一要素については同一符号を付し、同一の動作をするものとする。

【0049】図4において映像入力端子1より入力された映像信号は信号処理回路2によってR、G、Bの原色映像信号に変換される。一方入力映像信号から水平同期信号、垂直同期信号と取り出し、水平同期信号に位相同期した水平同期クロックを発生させる。

【0050】補正位置設定部27は補正位置設定入力26、CPU25、水平位置設定部23、垂直位置設定部24より構成される。次にその動作を説明する。図6a)のように画像左上方に色むらがある場合、タッチパネル等の補正位置設定入力手段によりその位置を入力する。CPU25はその位置情報2に基づき、水平及び垂直位置設定部23・24に位置情報を2値化して書き込む。図6a)の場合、水平位置設定部23へは2値データ"00"、垂直位置設定部24へは2値データ"01"が書き込まれ保持される。

【0051】位置情報発生部10は、タイミング発生回路11、関数演算回路21・22、演算部16により構成される。前記垂直同期信号、水平同期信号、水平同期信号に同期した水平同期クロックをタイミング発生回路11に入力することにより表示領域を水平、垂直に基盤目状に分割したブロックに対応したアドレスを発生させる。関数演算回路21・22へは水平及び垂直アドレス信号、及び前記水平及び垂直位置設定部23・24に保持された2値化データが入力され、水平及び垂直方向の均一性補正データが演算出力される。

【0052】関数演算部は図6b)に示すように、比較回路28、複数の乗算回路で構成される演算回路29、加算回路30、出力制御回路31により構成され、以下その動作を説明する。アドレス信号の下位ビットは複数の乗算回路で構成される演算回路29に出力され、その結果が加算回路30で加算される。加算回路の出力は $\sum a_n \cdot X$ (X :アドレス信号の下位ビットの値)となり、係数 a_n を選択することにより好みの補正波形を位置の関数で表すことができる。

【0053】またアドレス下位ビットにより演算を行うため水平及び垂直方向に周期変化する波形となる。また比較回路28へはアドレス信号の上位2ビットと位置設定データ2ビットが入力されている。この比較回路28は入力2系統の値が一致した場合に $A=B$ 信号が出力され、出力制御回路31より演算回路29の演算結果が出

(7)

11

力される。関数演算回路21の場合水平方向の図6a)52の期間で演算結果が出力され、関数演算回路22の場合垂直方向の図6a)50の期間で演算結果が出力される。なお比較回路28の入力は2ビットで説明したが3ビット以上としても良い。

【0054】以上の処理により、関数演算回路21・22から水平及び垂直方向の補正データがそれぞれ出力され、演算部16に入力される。水平方向の補正データと垂直方向の補正データは第三の乗算器17で乗算され補正データ作成部6に出力される。上記では演算部16に乗算器17を用いているが、加算器を用いてもよい。演算部16の位置情報出力を用いて均一性補正を行う処理については、実施の形態1と同様であり、映像信号出力端子20から出力される映像信号は、階調補正と階調に対応した表示画面上の均一性補正が実現される。

【0055】(実施の形態5)図7は第五の実施の形態における画像表示装置の構成を示すブロック図である。なお第一の実施の形態を示す図1と同一要素については同一符号を付し、同一の動作をするものとする。

【0056】図7において映像入力端子1より入力された映像信号は信号処理回路2によってR、G、Bの原色映像信号に変換される。一方入力映像信号から水平同期信号、垂直同期信号と取り出し、水平同期信号に位相同期した水平同期クロックを発生させる。位置情報発生部10の動作は実施の形態1の場合と同等であり、水平及び垂直方向の位置情報がデータとして出力され、補正データ作成部6に入力される。

【0057】また前記信号処理回路2から出力されるR、G、B映像信号はA/D変換回路3により量子化され階調補正用の第一のルックアップテーブル4と均一性補正用の第二のルックアップテーブル5に入力される。第一のルックアップテーブル4は実施の形態1と同様の方法により、所望の階調表現を可能とするような階調補正データを格納し、階調補正された映像信号データを演算処理回路7に出力する。

【0058】第二のルックアップテーブル5の後段には、補間演算部33、加算回路部34により構成される補正量補間演算部32を配置する。

【0059】次に第二のルックアップテーブル5に格納するデータを作成するため以下の操作を行なう。映像信号入力端子1よりRGB各信号入力レベルが等しい(いわゆる全白信号)を入力し、A/D変換回路3によりデジタル化され階調補正用の第一のルックアップテーブル4と均一性補正用の第二のルックアップテーブル5に入力する。第一のルックアップテーブル4は前記の階調補正された映像信号データを演算処理回路7に出力する。第二のルックアップテーブル5へは映像信号の上位ビットを入力する。

【0060】また補間演算部33に信号下位ビットを入力するが、この信号下位ビットがゼロとなるよう映像信

12

号レベルを調整して入力するものとし、前記補間演算部33の出力が出ないようにしておく。予め第二のルックアップテーブル5へは均一性補正量のないデータを格納しておく、補正データ作成部6に入力される均一性補正データがなく、演算処理回路7からは第一のルックアップテーブル4の格納データが出力され、映像出力端子20からは均一性補正を行なわれていない映像が出力される。次に第二のルックアップテーブル5への格納データを変化させ、均一性が改善される補正量を求める。以上の処理を映像信号入力のいくつかの信号レベルについて行なうと、図8a)のような階調と補正量の関係が求まり、第二のルックアップテーブル5の格納データとする。

【0061】次に補間演算部33に信号下位ビットを入力し、補間演算を行なう。補間演算は図8a)で求めた2階調の補正量を1次関数近似により直線補間する方法、非巡回型フィルタを構成して3階調以上の補正量から演算する方法のいずれかを用いる。補間演算部33の出力と第二のルックアップテーブル5の格納データは加算回路34で加算され、その結果図8b)のような補間された補正データが出力され、補正データ作成部6に入力される。

【0062】以降の動作は実施の形態1と同様であり、階調補正、階調に対応した表示画面上の均一性の両方が実現される。

【0063】(実施の形態6)図9は第六の実施の形態における画像表示装置の構成を示すブロック図である。なお第一の実施の形態を示す図1と同一要素については同一符号を付し、同一の動作をするものとする。

【0064】図9において映像入力端子1より入力された映像信号は信号処理回路2によってR、G、Bの原色映像信号に変換される。一方入力映像信号から水平同期信号、垂直同期信号と取り出し、水平同期信号に位相同期した水平同期クロックを発生させる。

【0065】補正位置設定部27は補正位置設定入力部26、CPU23、水平位置設定部23、垂直位置設定部24、設定切替回路35・36により構成され、水平位置設定部23には複数hの水平位置を設定することが可能であり、垂直位置設定部24には複数kの垂直位置を設定することが可能である。

【0066】次に、図10のように画像上複数の部分に色むらがあり補正を必要とする場合の動作を説明する。補正位置設定入力部26は画像の位置に対応したタッチパネル等の手段とし、補正を行なう位置に関する情報をCPU25に入力し、CPU25は画像の水平及び垂直位置アドレスに対応した複数の位置データを水平及び垂直位置設定部23・24に入力し保持する。設定切替回路35へは垂直アドレスの上位ビットが入力されており、アドレス信号のタイミングにより水平位置設定1からhを順次選択出力するものである。

(8)

13

【0067】図10の場合を例にとると、水平期間52の部分の水平位置設定を垂直期間50のタイミングで、また水平期間53の部分の水平位置設定を垂直期間51のタイミングで出力出来るよう、CPU25は水平位置設定部23への設定を行なう。同様に垂直期間50の部分の垂直位置設定を水平期間52のタイミングで、また垂直期間53の部分の垂直位置設定を水平期間51のタイミングで出力出来るよう、CPU25は垂直位置設定部24への設定を行なう。

【0068】以上の処理を行なうことにより、設定切替回路35・36より補正位置情報が関数演算部21・22へそれぞれ送られる。関数演算部以降の動作は実施の形態4と同様であり、図10に示す複数の色むら領域の均一性補正を行なうことができる。

【0069】

【発明の効果】以上詳細に説明したように、本発明により以下の効果を奏することができる。

1) 低輝度（黒レベル近辺）の映像信号入力から高輝度（白レベル近辺）の映像信号入力までの全領域に渡り輝度および色ムラが補正され、入力映像信号の全階調に対して表示画面上に均一性ムラの無い表示を可能とする。

【0070】さらに、以下の効果を奏する。

2) メモリー容量の削減する回路構成によりコスト削減を可能としている。

3) 補正位置・階調毎の補正量の設定を簡単な方法で実現可能である。

4) 画像内の複数の均一性補正を可能とする。

【図面の簡単な説明】

【図1】本発明の第一の実施形態における画像表示装置の構成を示すブロック図

【図2】本発明の第二の実施形態における画像表示装置の構成を示すブロック図

【図3】本発明の第三の実施形態における画像表示装置の構成を示すブロック図

【図4】従来の画像表示装置の構成を示すブロック図

【図5】本発明の第四の実施形態における画像表示装置の構成を示すブロック図

【図6】本発明の第四の実施形態における動作説明図

【図7】本発明の第五の実施形態における画像表示装置の構成を示すブロック図

14

【図8】本発明の第五の実施形態における動作説明図

【図9】本発明の第六の実施形態における画像表示装置の構成を示すブロック図

【図10】本発明の第六の実施形態における動作説明図

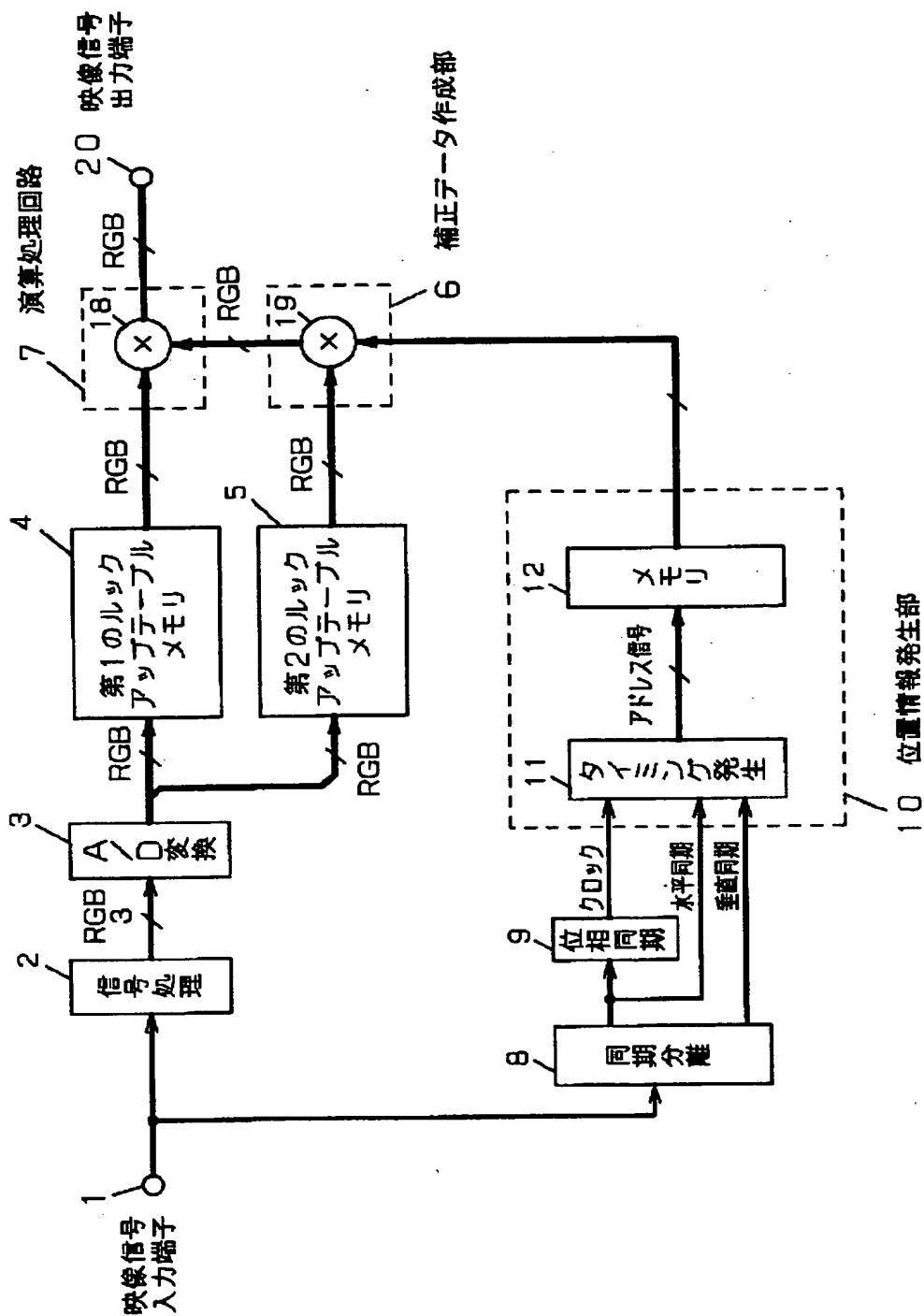
【符号の説明】

- 1 映像信号入力端子
- 2 信号処理回路
- 3 A-D変換回路
- 4 第一のルックアップテーブルメモリー
- 10 5 第二のルックアップテーブルメモリー
- 6 補正データ作成部
- 7 演算処理回路
- 8 同期分離回路
- 9 位相同期回路
- 10 位置情報発生部
- 11 タイミング発生回路
- 12 メモリー
- 13 第一のメモリー
- 14 第二のメモリー
- 20 15 ローパスフィルター
- 16 演算部
- 17 第三の乗算器
- 18 第二の乗算器
- 19 第一の乗算器
- 20 映像信号出力端子
- 21・22 関数演算部
- 23 水平位置設定部
- 24 垂直位置設定部
- 25 CPU
- 30 26 補正位置設定入力
- 27 補正位置設定部
- 28 比較回路
- 29 乗算回路
- 30 加算回路
- 31 出力制御回路
- 32 補正量補間演算部
- 33 補間演算部
- 34 加算回路
- 35・36 設定切替回路

40

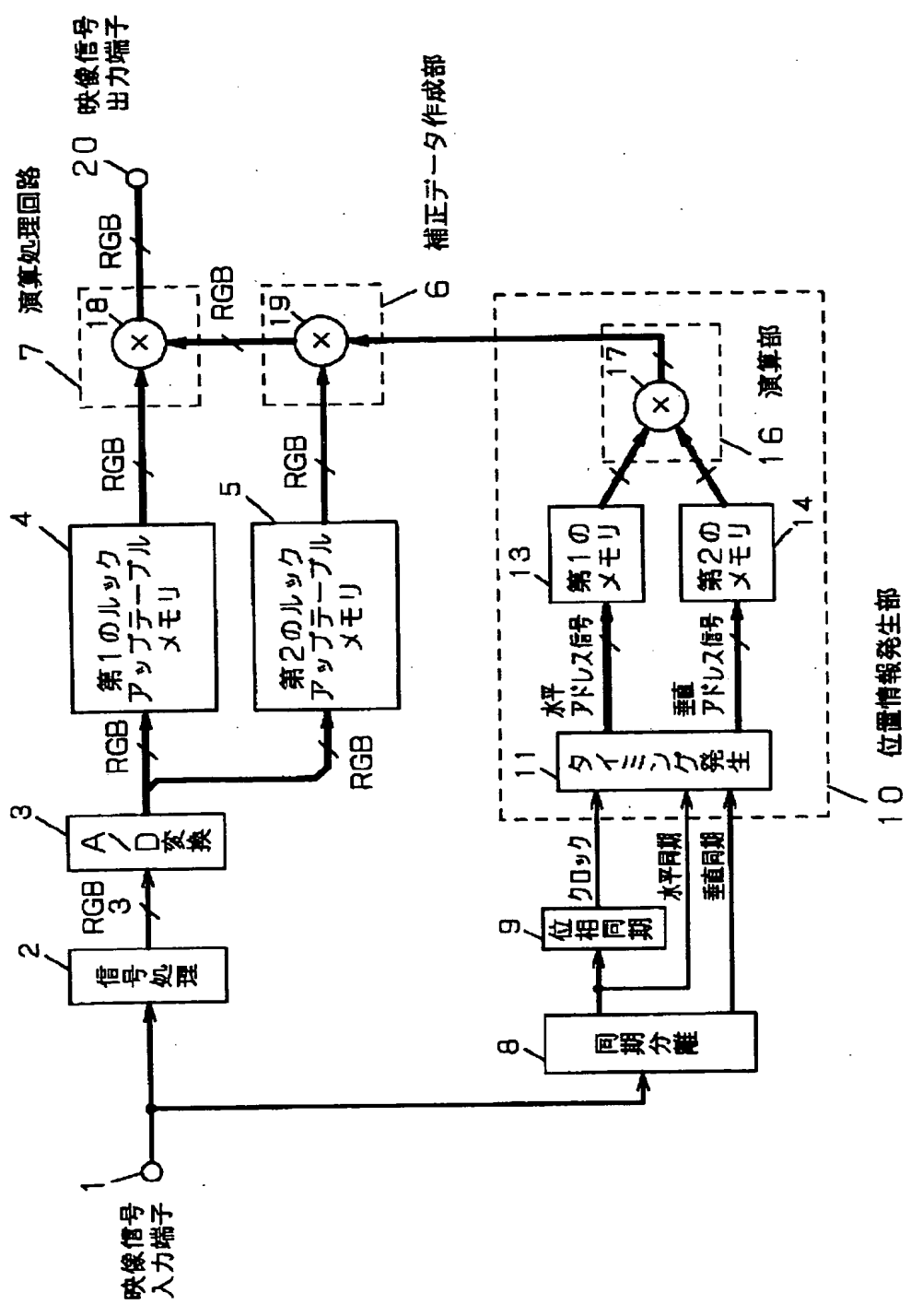
(9)

【図1】



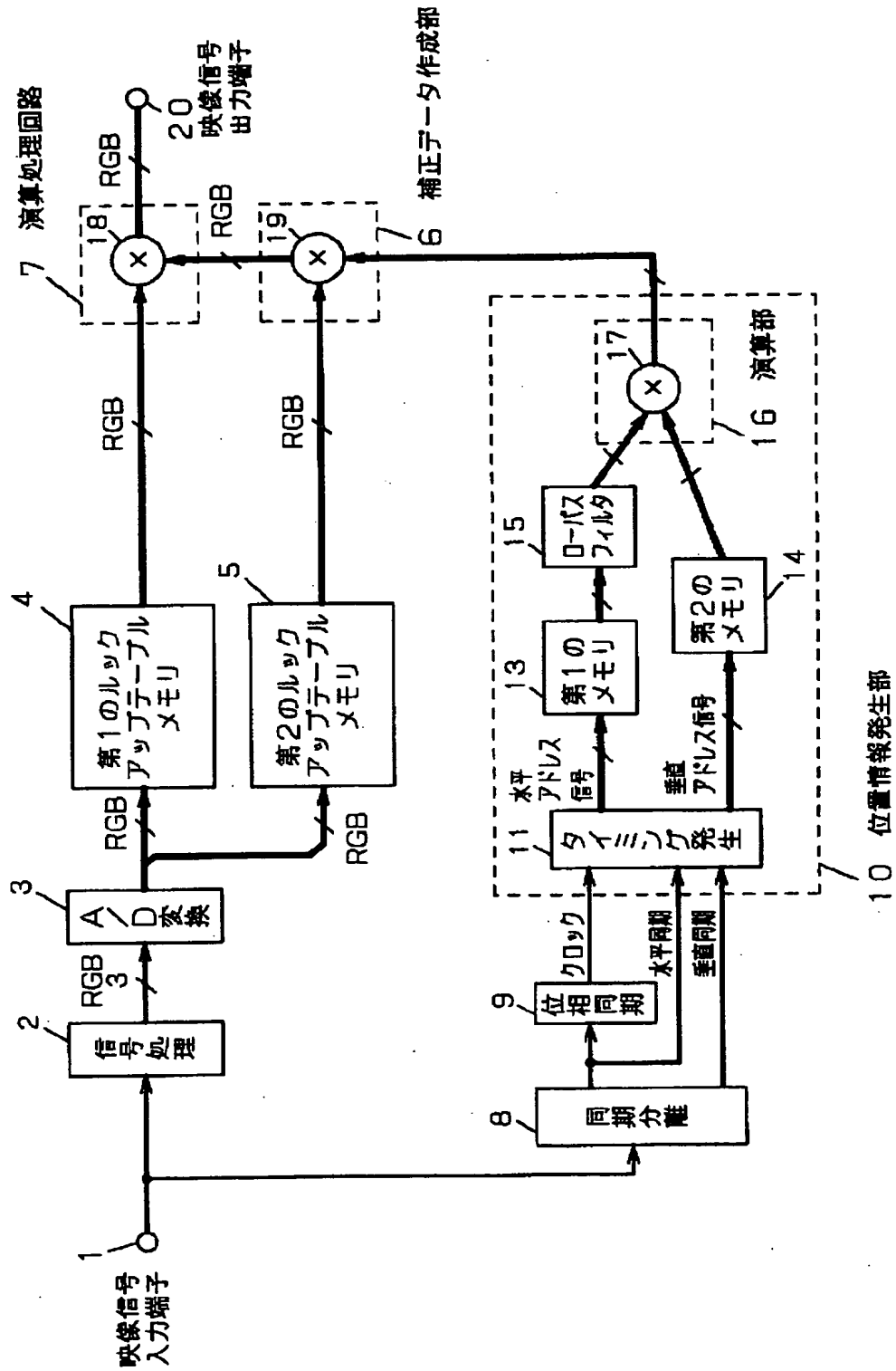
(10)

【図2】



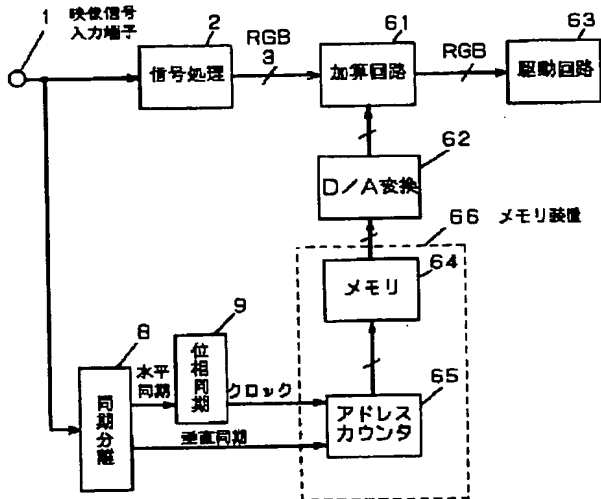
(11)

【図3】

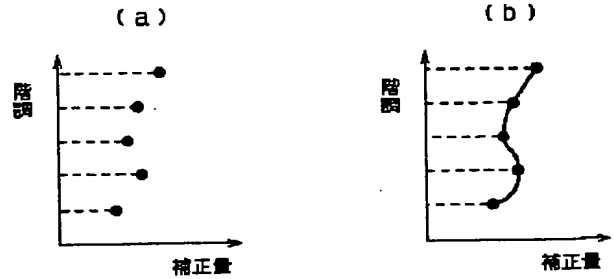


(12)

【図4】

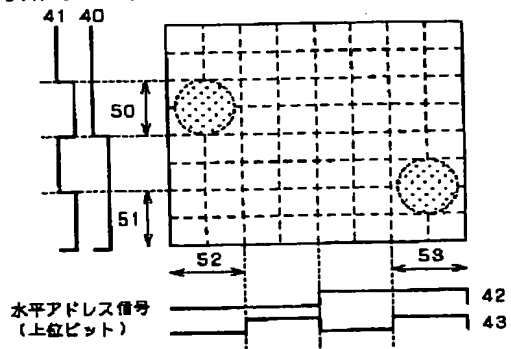


【図8】



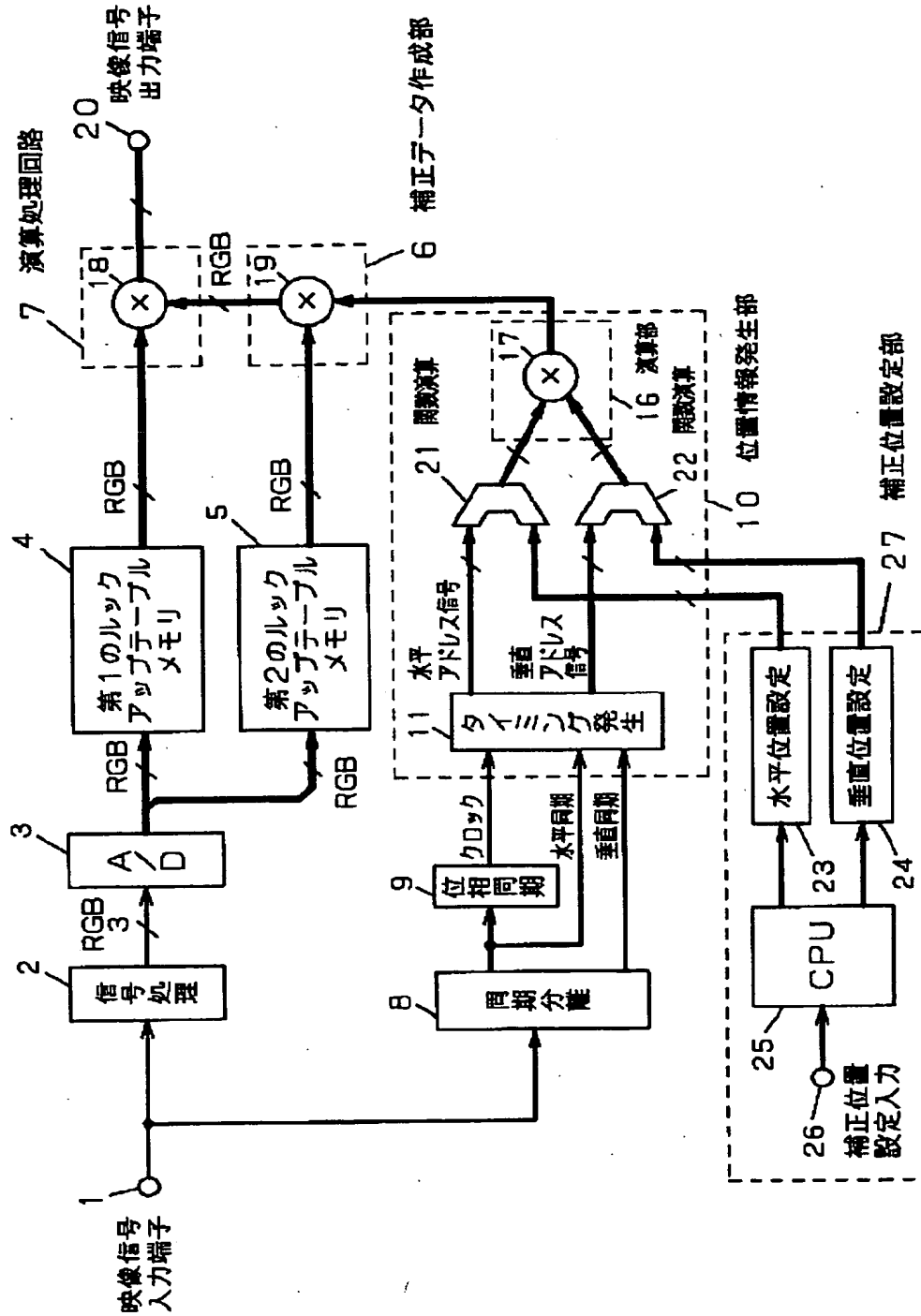
【図10】

垂直アドレス信号 (上位ビット)



(13)

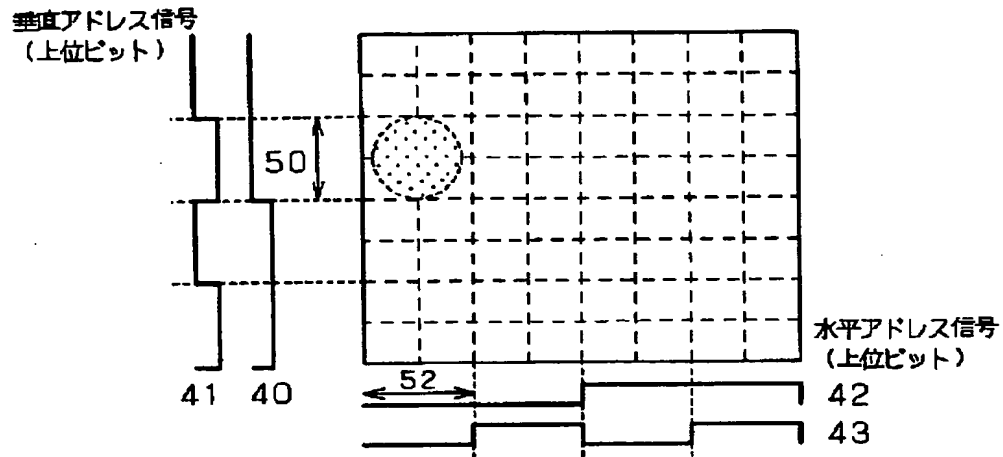
【図 5】



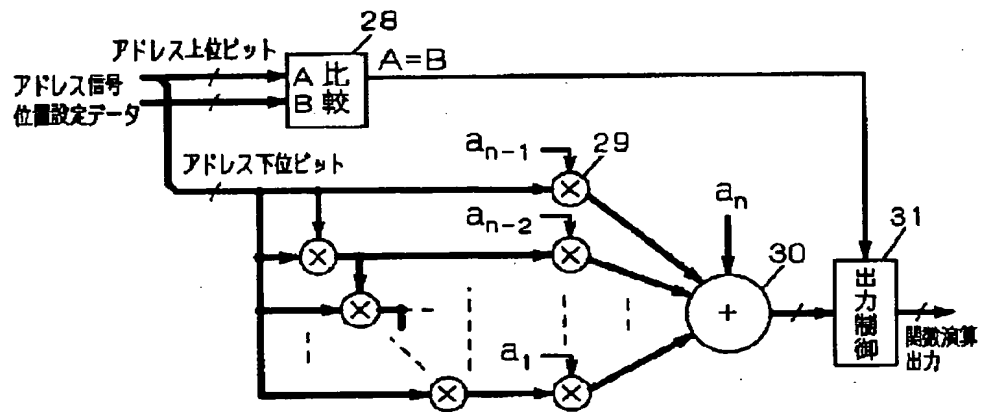
(14)

【図6】

(a)

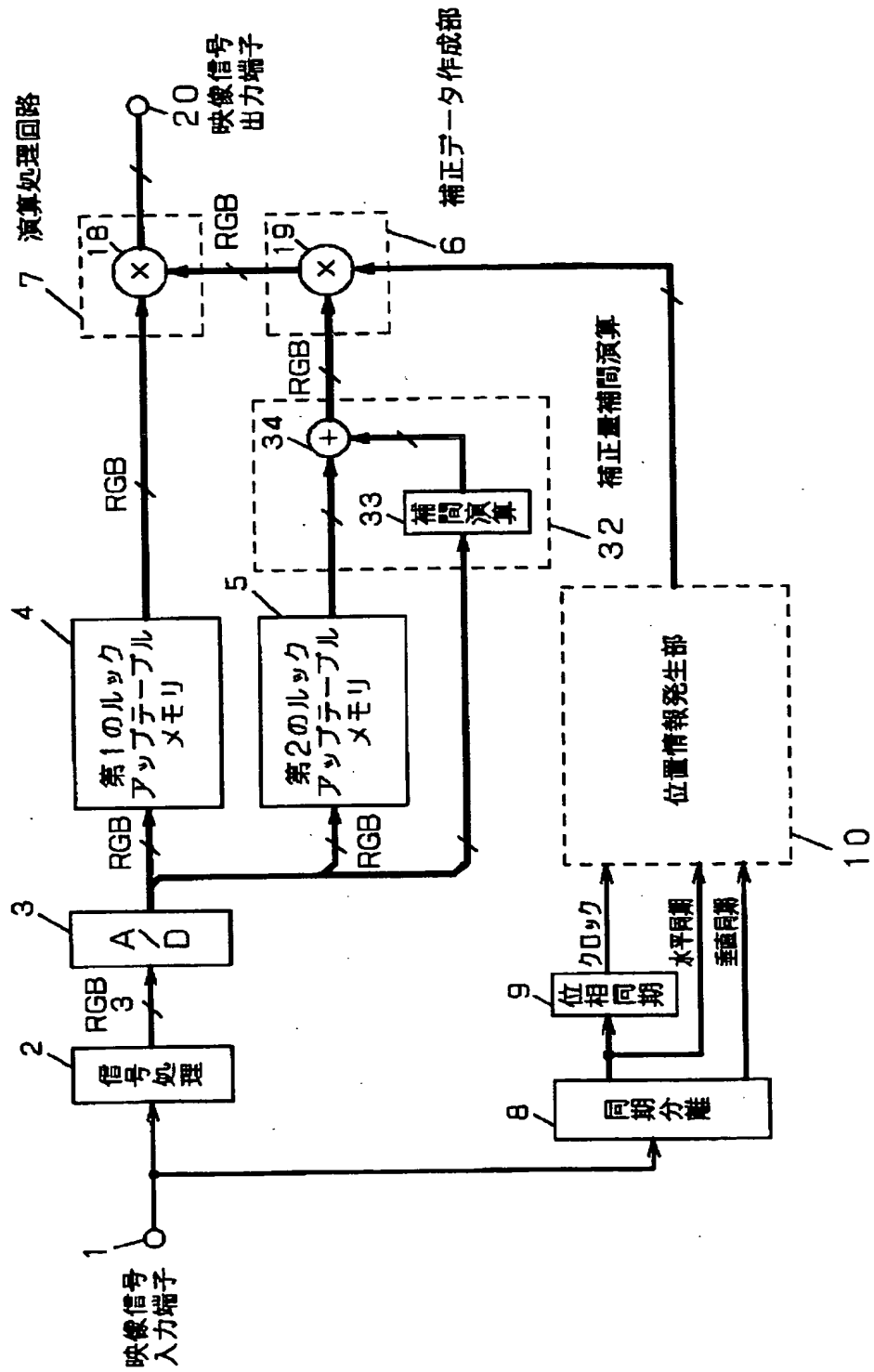


(b)



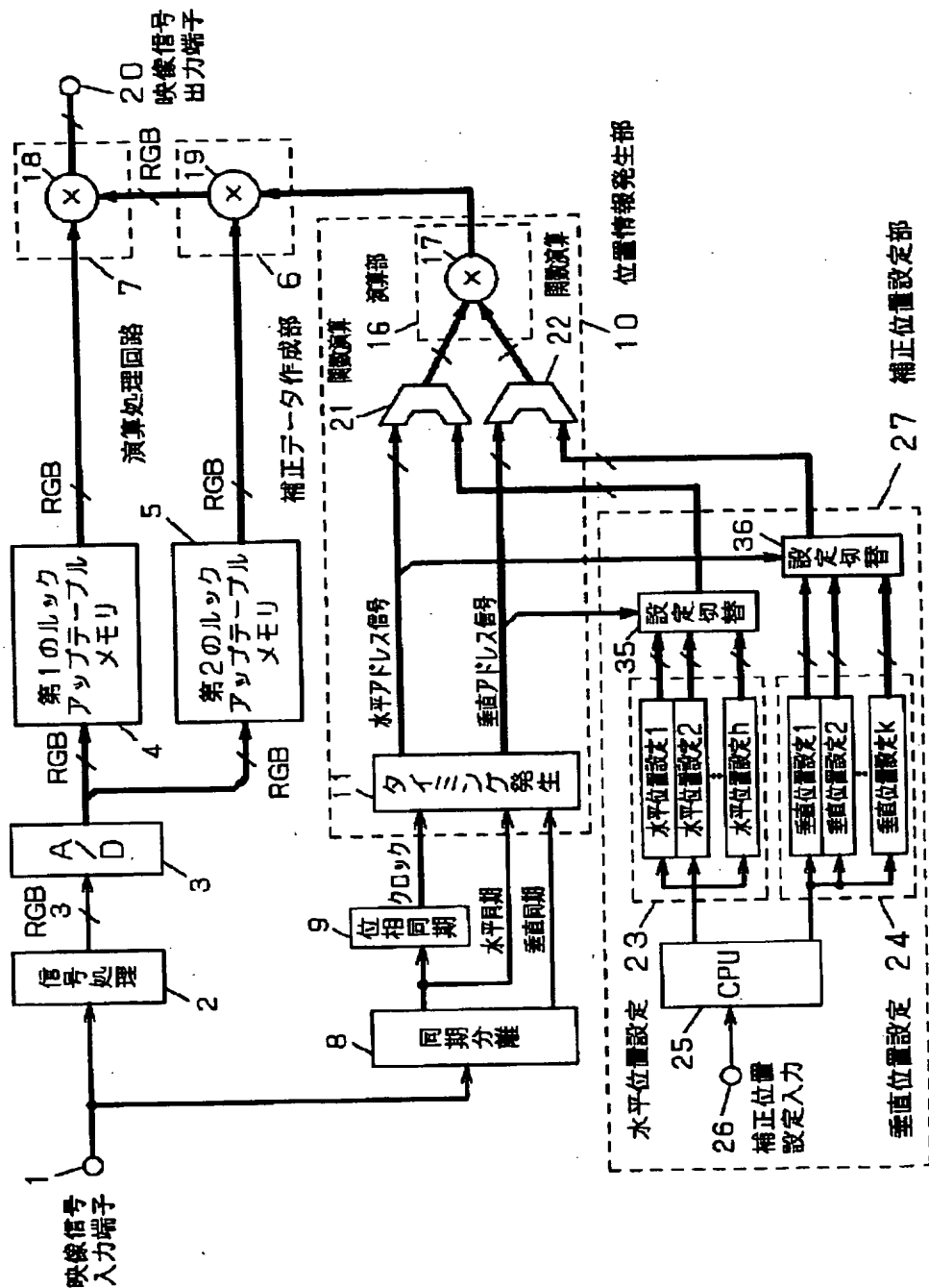
(15)

【図7】



(16)

【図9】



フロントページの続き

(72)発明者 宮井 宏

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(17)

Fターム(参考) 5B057 CE11 CH07 CH09 CH18
5C080 AA10 BB05 DD01 DD05 DD22
DD27 EE19 EE29 EE30 JJ01
JJ02 JJ04 JJ05
5C082 BA34 BA35 BA41 BB51 BD02
CA11 CA12 CA22 CA81 CA85
CB01 DA51 DA71 MM04 MM07
MM10